



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출 원 번 호 : 10-2002-0060814  
Application Number

출 원 년 월 일 : 2002년 10월 05일  
Date of Application OCT 05, 2002

출 원 인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 03 월 18 일



특 허 청  
COMMISSIONER

## 【서지사항】

【서류명】

특허출원서

【권리구분】

특허

【수신처】

특허청장

【참조번호】

0020

【제출일자】

2002.10.05

【국제특허분류】

H01L

【발명의 명칭】

내부에서 자체적으로 뉴티싸이클 보정을 수행하는 지연동 기루프 회로 및 이의 뉴티싸이클 보정방법

【발명의 영문명칭】

Delay locked loop circuit for correcting duty cycle internally and duty cycle correction method thereof

【출원인】

삼성전자 주식회사

【명칭】

1-1998-104271-3

【출원인코드】

【대리인】

1-1998-000334-6

【성명】

1999-009556-9

【대리인코드】

이영필

【포괄위임등록번호】

9-1998-000541-1

【포괄위임등록번호】

1999-009617-5

【대리인】

정상빈

【성명】

9-1998-000541-1

【대리인코드】

1999-009617-5

【포괄위임등록번호】

【발명자】

1999-009617-5

【성명의 국문표기】

조근희

【성명의 영문표기】

CHO, Geun Hee

【주민등록번호】

691114-1221220

【우편번호】

441-390

【주소】

경기도 수원시 권선구 권선동 1240번지 현대아파트  
205-901

【국적】

KR

【발명자】

김규현

【성명의 국문표기】

KIM, Kyu Hyoun

【성명의 영문표기】

720520-1787539

1020020060814

출력 일자: 2003/3/24

【우편번호】

442-470

【주소】

경기도 수원시 팔달구 영통동 한신 아파트 205-901

【국적】

KR

【심사청구】

청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인

이영필 (인) 대리인

정상빈 (인)

【수수료】

【기본출원료】

20 면 29,000 원

【가산출원료】

16 면 16,000 원

【우선권주장료】

0 건 0 원

【심사청구료】

18 항 685,000 원

【합계】

730,000 원

【첨부서류】

1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

넓은 DCC 범위를 가지며 전력소모가 적고 동작주파수에 대한 제약이 적으며 또한 메모리장치의 특성을 향상시킬 수 있는 DCC 회로를 갖는 자연동기루프 회로가 개시된다. 상기 자연동기루프 회로는 상승에지를 맞추기 위한 루프와 하강에지를 맞추기 위한 루프 뿐만 아니라 듀티싸이클 보정을 위한 루프를 더 구비한다. 따라서 상기 자연동기루프 회로는 위상혼합기 없이 자연동기루프 회로 내부에서 자체적으로 듀티싸이클을 보정한다.

**【대표도】**

도 3

**【명세서】****【발명의 명칭】**

내부에서 자체적으로 듀티싸이클 보정을 수행하는 자연동기루프 회로 및 이의 듀티싸이클 보정방법{Delay locked loop circuit for correcting duty cycle internally and duty cycle correction method thereof}

**【도면의 간단한 설명】**

본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 간단한 설명이 제공된다.

도 1은 종래의 듀티싸이클 보정기(Duty cycle corrector, DCC)를 구비하는 레지스터 콘트롤드(Register controlled) DLL의 블록도이다.

도 2는 도 1에 도시된 위상 혼합기의 회로도이다.

도 3은 본 발명에 따른 듀티싸이클 보정 기능을 갖는 DLL을 나타내는 블록도이다.

도 4는 도 3에 도시된 제1제어회로의 상세 블록도이다.

도 5는 도 3에 도시된 제2제어회로의 상세 블록도이다.

도 6은 도 5에 도시된 제1듀티정정 제어회로(51)의 상세 회로도이다.

도 7은 도 5에 도시된 제2듀티정정 제어회로(53)의 상세 회로도이다.

도 8은 도 3에 도시된 자연라인 부(34)의 상세 블록도이다.

도 9A 및 도 9B는 도 3에 도시된 본 발명에 따른 DCC 기능을 갖는 DLL의 동작 타이밍도이다.

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<11> 본 발명은 지연동기 루프(Delay locked loop, DLL)회로에 관한 것으로, 특히 내부에서 자체적으로 듀티싸이클을 보정하는 지연동기 루프회로 및 이의 듀티싸이클 보정방법에 관한 것이다.

<12> 메모리장치와 메모리 콘트롤러 간의 데이터 전송과 같이 클럭신호에 동기시켜 데이터를 전송하는 입출력 방식에서는 버스의 부하가 커지고 전송 주파수가 빨라짐에 따라 클럭신호와 데이터 간의 시간적 동기를 이루는 것이 매우 중요하다. 즉 클럭신호에 응답하여 데이터가 버스에 실리는 데 걸리는 시간을 역보상하여 데이터를 클럭신호의 에지(Edge) 또는 중앙(Center)에 정확히 위치시켜야 한다. 이러한 목적으로 사용될 수 있는 회로로는 위상동기루프(Phase Locked Loop, PLL) 및 지연동기루프(Delay Locked Loop, DLL)가 있으며 일반적으로 메모리장치에는 DLL이 사용된다.

<13> 그런데 클럭신호의 상승에지 및 하강에지에서 모두 데이터가 출력되는 DDR(Double Data Rate) 인터페이스 경우에는, 클럭신호의 듀티싸이클이 50%로부터 벗어나 있을 때 상승에지에서 출력되는 데이터 구간의 폭과 하강에지에서 출력되는 데이터 구간의 폭이 달라지게 된다. 이러한 경우에 유효데이터 윈도우(Valid data window)는 데이터 구간의 폭이 더 작은 쪽에 의해 정의되기 때문에 메모리 시스템의 타이밍 마진이 줄어든다. 따라서 클럭신호의 듀티싸이클을 보정하기 위한 듀티싸이클 보정기(Duty cycle corrector, DCC)가 필요하다.

<14> 도 1은 종래의 듀티싸이클 보정기(Duty cycle corrector, DCC)를 구비하는 레지스터 콘트롤드(Register controlled) DLL의 블록도를 나타낸다.

<15> 도 1을 참조하면, 레지스터 콘트롤드 DLL은 위상검출기(11), 제어회로(12), 선택회로(13), 지연체인(14), 제1 및 제2위상 인터폴레이터(Phase interpolator)(15), 및 보상지연기(Compensation delay)(16)를 구비한다.

<16> 이 DLL은 코오스 루프(Coarse loop) 및 파인 루프(Fine loop)를 갖는 DLL이며 코오스 락(Lock) 구간에서의 지연을 조절하기 위해 지연체인(Delay chain)(14), 즉 딜레이 라인(Delay line)이 사용되고 파인 락 구간에서의 미세지연을 조절하기 위해 제1 및 제2 위상 인터폴레이터(15)가 사용된다.

<17> 종래에는 듀티싸이클을 보정하기 위해 다시말해 듀티싸이클이 보정된 내부클럭 신호들(DLCLK\_F, DLCLK\_S)을 발생하기 위해 제1 및 제2위상 인터폴레이터(15)의 출력단에 제1 및 제2위상 혼합기(Phase blender)(17)가 연결된다. 위상 혼합기는 도 2에 도시된 바와 같이 출력단이 공통 연결되는 두 개의 인버터(21,23)를 포함하여 구성된다. 따라서 출력신호(OUT)의 상승에지는 인버터(21)의 입력신호(IN1)의 상승에지와 인버터(23)의 입력신호(IN2)의 상승에지 사이에서 생성된다. 마찬가지로 출력신호(OUT)의 하강에지는 인버터(21)의 입력신호(IN1)의 하강에지와 인버터(23)의 입력신호(IN2)의 하강에지 사이에서 생성된다.

<18> 그러나 위상 혼합기를 이용한 듀티싸이클 보정방법은 다음과 같은 단점들이 있다. 첫째, DCC 범위(Range)는 입력신호(IN1)의 경사(Slope)와 입력신호(IN2)의 경사와 관련된다. 즉 원활한 DCC 동작을 위해서는 상기 두 신호들(IN1, IN2)의 경사가 완만해야 하는데 이를 위하여 인버터(21) 및 인버터(23)의 입력단들 및 공통 출력단에 큰 용량을 갖

는 커패시터들(C1,C2,C3)이 연결된다. 이로 인하여 외부클럭 신호(ECLK)의 듀티싸이클이 약 40:60 또는 60:40 이상일 경우 DCC가 제대로 이루어지지 않을 수 있으며, 또한 전력 소모가 증가하고 동작주파수에 대한 제약이 있을 수 있다.

<19> 둘째, 위상혼합기 자체의 지연이 존재하므로 이는 메모리장치의 특성, 특히 tSAC(clock to valid output delay time)의 마진을 감소시키는 단점이 있다.

#### 【발명이 이루고자 하는 기술적 과제】

<20> 따라서 본 발명이 이루고자하는 기술적 과제는, 넓은 DCC 범위를 가지며 전력소모가 적고 동작주파수에 대한 제약이 적으며 또한 메모리장치의 특성을 향상시킬 수 있는 DCC 회로를 갖는 자연동기루프 회로를 제공하는 데 있다.

<21> 본 발명이 이루고자하는 다른 기술적 과제는, 상기 자연동기루프 회로에서의 DCC 방법을 제공하는 데 있다.

#### 【발명의 구성 및 작용】

<22> 상기 기술적 과제를 달성하기 위한 본 발명에 따른 자연동기 루프회로는, 위상검출기, 제1제어회로, 제2제어회로, 지연라인 부, 제1위상 인터폴레이터, 제2위상 인터폴레이터, 및 제3위상 인터폴레이터를 구비하는 것을 특징으로 한다.

<23> 상기 위상검출기는 외부클럭 신호 및 피드백 내부클럭 신호들 사이의 위상차를 검출하여 이에 대응하는 업신호들 및 다운신호들을 발생한다. 상기 제1제어회로는 상기 업신호들 및 다운신호들에 응답하여 상기 외부클럭 신호 및 상기 피드백 내부클럭 신호들 사이의 위상차를 코오스 락킹(Coarse locking)하기 위한 제1제어신호들 및 상기 위상차를 파인 락킹(Fine locking)하기 위한 제2제어신호들을 발생한다. 상기 제2제어회로는

상기 업신호들 및 다운신호들에 응답하여 상기 외부클럭 신호의 코오스 듀티에러를 정정하기 위한 제3제어신호들 및 파인 듀티에러를 정정하기 위한 제4제어신호들을 발생한다.

<24> 상기 지연라인 부는 직렬로 연결된 다수개의 지연셀들을 포함하고 상기 지연셀들을 통해 상기 외부클럭 신호를 지연시킨다. 상기 지연라인 부는 상기 제1제어신호들 중 일부에 응답하여 인접한 두 개의 제1지연셀들의 출력신호들을 선택하여 출력하고 상기 제1제어신호들 중 다른 일부에 응답하여 인접한 두 개의 제2지연셀들의 출력신호들을 선택하여 출력하고 또한 상기 제3제어신호들에 응답하여 인접한 두 개의 제3지연셀들의 출력신호들을 선택하여 출력한다.

<25> 상기 제1위상 인터폴레이터는 상기 제2제어신호들의 일부에 응답하여 상기 제1지연셀들의 출력신호들을 인터폴레이트하여 제1출력신호 및 제2출력신호를 발생하고, 이 제1출력신호를 상기 피드백 내부클럭 신호들의 하나로서 상기 위상검출기로 제공하고 이 제2출력신호를 제1내부클럭 신호로서 출력한다. 상기 제2위상 인터폴레이터는 상기 제2제어신호의 다른 일부에 응답하여 상기 제2지연셀들의 출력신호들을 인터폴레이트하여 출력신호를 발생하고 이 출력신호를 상기 피드백 내부클럭 신호들의 다른 하나로서 상기 위상검출기로 제공한다. 상기 제3위상 인터폴레이터는 상기 제4제어신호들에 응답하여 상기 제3지연셀들의 출력신호들을 인터폴레이트하여 출력신호를 발생하고 이 출력신호를 제2내부클럭 신호로서 출력한다.

<26> 상기 본 발명에 따른 지연동기 루프회로는 상기 제1위상 인터폴레이터의 상기 제1출력신호 및 상기 제2위상 인터폴레이터의 상기 출력신호를 수신하여 소정의 시간만큼 보상지연시켜 상기 위상검출기로 출력하는 보상지연기를 더 구비할 수 있다.

<27> 상기 제2제어회로는, 상기 업신호들 및 상기 다운신호들에 응답하여 듀티정정을 위한 업신호 및 듀티정정을 위한 다운신호를 발생하는 제1듀티정정 제어회로, 및 상기 듀티정정을 위한 업신호 및 상기 듀티정정을 위한 다운신호에 응답하여 상기 제3제어신호들 및 상기 제4제어신호들을 발생하는 제2듀티정정 제어회로를 구비한다.

<28> 특히 상기 듀티정정을 위한 업신호는 상기 업신호들중 상승에지에 대한 업신호 및 하강에지에 대한 업신호가 모두 활성화될 때 활성화된다. 상기 듀티정정을 위한 다운신호는 상기 다운신호들중 상승에지에 대한 다운신호 및 하강에지에 대한 다운신호가 모두 활성화될 때 활성화된다.

<29> 상기 제3지연셀들은 상기 제1지연셀들과 상기 제2지연셀들 사이의 정 중앙에 위치 한다.

<30> 락킹 후 상기 제1위상 인터폴레이터의 상기 제1출력신호는 상승에지가 상기 외부클럭 신호의 상승에지에 파인 동기된다. 상기 제1위상 인터폴레이터의 상기 제2출력신호는 락킹 후 상기 제1위상 인터폴레이터의 상기 제1출력신호의 상승에지에 응답하여 발생되는 펄스들을 갖는 신호이다. 락킹 후 상기 제2위상 인터폴레이터의 상기 출력신호는 상승에지가 상기 외부클럭 신호의 하강에지에 파인 동기된다. 상기 제3위상 인터폴레이터의 상기 출력신호는 락킹 후 듀티가 보정된 신호의 하강에지에 응답하여 발생되는 펄스들을 갖는 신호이다.

<31> 상기 다른 기술적 과제를 달성하기 위한 본 발명에 따른 DCC 방법은, 아래의 (a) 단계 내지 (g) 단계를 구비한다.

<32> (a) 단계에서, 외부클럭 신호 및 피드백 내부클럭 신호들 사이의 위상차를 검출하여 이에 대응하는 업신호들 및 다운신호들을 발생한다. (b) 단계에서, 상기 업신호들 및 다운신호들에 응답하여 상기 외부클럭 신호 및 상기 피드백 내부클럭 신호들 사이의 위상차를 코오스 락킹하기 위한 제1제어신호들 및 상기 위상차를 파인 락킹하기 위한 제2제어신호들을 발생한다. (c) 단계에서, 상기 업신호들 및 다운신호들에 응답하여 상기 외부클럭 신호의 코오스 브리티에러를 정정하기 위한 제3제어신호들 및 파인 브리티에러를 정정하기 위한 제4제어신호들을 발생한다.

<33> (d) 단계에서, 상기 제1제어신호들중 상승에지에 대한 것들에 응답하여 인접한 두 개의 제1지연셀들의 출력신호들을 선택하여 출력하고 상기 제1제어신호들중 하강에지에 대한 것들에 응답하여 인접한 두 개의 제2지연셀들의 출력신호들을 선택하여 출력하고 또한 상기 제3제어신호들에 응답하여 상기 제1지연셀들과 상기 제2지연셀들 사이의 정중앙에 위치하는 인접한 두 개의 제3지연셀들의 출력신호들을 선택하여 출력한다.

<34> (e) 단계에서, 상기 제2제어신호들중 상승에지에 대한 것들에 응답하여 상기 제1지연셀들의 출력신호들을 인터플레이트하여 제1출력신호 및 제2출력신호를 발생하고, 이 제1출력신호를 상기 피드백 내부클럭 신호들의 하나로서 제공하고 이 제2출력신호를 제1내부클럭 신호로서 출력한다. (f) 단계에서, 상기 제2제어신호들의 하강에지에 대한 것들에 응답하여 상기 제2지연셀들의 출력신호들을 인터플레이트하여 출력신호를 발생하고 이 출력신호를 상기 피드백 내부클럭 신호들의 다른 하나로서 제공한다. (g) 단계에서, 상기 제4제어신호들에 응답하여 상기 제3지연셀들의 출력신호들을 인터플레이트하여 출력신호를 발생하고 이 출력신호를 제2내부클럭 신호로서 출력한다.

<35> 상기 (c) 단계는, 상기 업신호들 및 상기 다운신호들에 응답하여 듀티정정을 위한 업신호 및 듀티정정을 위한 다운신호를 발생하는 단계, 및 상기 듀티정정을 위한 업신호 및 상기 듀티정정을 위한 다운신호에 응답하여 상기 제3제어신호들 및 상기 제4제어신호들을 발생하는 단계를 구비한다.

<36> 상기 듀티정정을 위한 업신호는 상기 업신호들중 상승에지에 대한 업신호 및 하강에지에 대한 업신호가 모두 활성화될 때 활성화된다. 상기 듀티정정을 위한 다운신호는 상기 다운신호들중 상승에지에 대한 다운신호 및 하강에지에 대한 다운신호가 모두 활성화될 때 활성화된다.

<37> 본 발명과 본 발명의 동작 상의 잇점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.

<38> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

<39> 도 3은 본 발명에 따른 듀티싸이클 보정(Duty cycle correction) 기능을 갖는 DLL을 나타내는 블록도이다.

<40> 도 3을 참조하면, 본 발명에 따른 DLL은 위상검출기(31), 제1제어회로(32), 제2제어회로(33), 자연라인 부(34), 제1위상 인터폴레이터(Phase interpolator)(35), 제2위상 인터폴레이터(36), 제3위상 인터폴레이터(37), 및 보상 자연기(Compensation delay)(38)를 구비한다.

<41> 상기 본 발명에 따른 DLL은 DLL 자체내에서 DCC 동작을 수행한다. 즉 도 1에 도시된 종래의 DLL에는 DDR 시스템의 경우 두 개의 루프(Loop), 즉 상승에지를 맞추기 위한 루프와 하강에지를 맞추기 위한 루프가 있으며 또한 듀티싸이클을 보정하기 위한 위상 혼합기(Phase blender)가 포함되어 있다. 반면에 본 발명에 따른 DLL에는 위상 혼합기가 포함되지 않으며 대신에 듀티싸이클 보정을 위한 루프가 추가된다. 즉 도 1에 도시된 종래의 DLL과 비교하여 제2제어회로(33) 및 제3위상 인터폴레이터(37)가 추가되며 자연라인 부(34)의 구성 및 동작이 도 1에 도시된 종래의 DLL의 것과 다르다.

<42> 위상검출기(31)는 외부클럭 신호(ECLK) 및 보상 지연기(38)의 출력신호 사이의 위상차를 검출하여 이에 대응하는 업신호들(UP\_F/S) 및 다운신호들(DN\_F/S)를 발생한다. 보상 지연기(38)는 피드백 내부클럭 신호들, 즉 제1위상 인터폴레이터(35)의 출력신호(DLCLK\_F\_R)의 반전신호(/DLCLK\_F\_R) 및 제2위상 인터폴레이터(36)의 출력신호(DLCLK\_S\_R)를 수신하여 소정의 시간만큼 보상지연시켜 출력한다. 상기 소정의 시간은 반도체 메모리장치내에서 데이터 패쓰(Path)의 지연시간, 즉 외부클럭 신호(ECLK)에 응답하여 출력 데이터가 데이터 패쓰를 통해 출력패드로 출력될 때까지의 시간에 해당한다. 보상 지연기(38)는 필요에 따라 상기 DLL에 포함되지 않을 수도 있다. 이러한 경우에는 상기 피드백 내부클럭 신호들(/DLCLK\_F\_R, DLCLK\_S\_R)이 위상검출기(31)로 직접 입력된다.

<43> 제1제어회로(32)는 업신호들(UP\_F/S) 및 다운신호들(DN\_F/S)에 응답하여 외부클럭 신호(ECLK) 및 피드백 내부클럭 신호들(/DLCLK\_F\_R, DLCLK\_S\_R) 사이의 위상차를 코오스락킹하기 위한 제1제어신호들(EUP\_F/S, EDN\_F/S, OUP\_F/S, ODN\_F/S) 및 상기 위상차를 파인락킹하기 위한 제2제어신호들(WUP\_F/S, WDN\_F/S)을 발생한다. 특히 제2제어회로(33)는 업

신호들(UP\_F/S) 및 다운신호들(DN\_F/S)에 응답하여 외부클럭 신호(ECLK)의 코오스 듀티에러를 정정하기 위한 제3제어신호들(EUP\_C, EDN\_C, OUP\_C, ODN\_C) 및 파인 듀티에러를 정정하기 위한 제4제어신호들(WUP\_C, WDN\_C)을 발생한다. 제1제어회로(32) 및 제2제어회로(33)의 구성 및 동작은 뒤에서 상세히 설명된다.

<44> 여기에서 F가 붙어있는 신호들은 클럭신호의 상승에지와 관련된 신호임을 의미하고 S가 붙어있는 신호들은 클럭신호의 하강에지와 관련된 신호임을 의미한다. C가 붙어있는 신호들은 클럭신호의 듀티와 관련된 신호임을 의미한다.

<45> 제1제어신호들(EUP\_F/S, EDN\_F/S, OUP\_F/S, ODN\_F/S) 및 제3제어신호들(EUP\_C, EDN\_C, OUP\_C, ODN\_C)은 코오스 락(Coarse lock) 구간에서 지연을 조절하기 위한 신호들이며 이들은 지연라인 부(34)로 입력된다. 제2제어신호들(WUP\_F/S, WDN\_F/S) 및 제4제어신호들(WUP\_C, WDN\_C)은 파인 락(Fine lock) 구간에서 미세 지연을 조절하기 위한 신호들이다. 제2제어신호들(WUP\_F/S, WDN\_F/S)은 제1 및 제2위상 인터폴레이터(35, 36)로 입력되고 제4제어신호들(WUP\_C, WDN\_C)은 제3위상 인터폴레이터(37)로 입력된다.

<46> 지연라인 부(34)는 선택회로(34A)와 지연체인(34B)을 포함한다. 지연체인(34B)은 직렬로 연결된 다수개의 지연셀들을 포함하고 지연셀들을 통해 외부클럭 신호(ECLK)를 지연시킨다.

<47> 좀더 상세하게는 지연라인 부(34)는 상기 제1제어신호들중 상승에지에 대한 제어신호들(EUP\_F, EDN\_F, OUP\_F, ODN\_F)에 응답하여 지연체인(34B) 내의 인접한 두 개의 제1지연셀들, 예컨대 21번째 및 22번째 지연셀들의 출력신호들(EOUT\_F, OOUT\_F)을 선택하여 출력하고 상기 제1제어신호들중 하강에지에 대한 제어신호들(EUP\_S, EDN\_S, OUP\_S, ODN\_S)에 응답하여 지연체인(34B) 내의 인접한 두 개의 제2지연셀들, 예컨대 15번째 및 16번째 지연

셀들의 출력신호들(EOUT\_S, OOUT\_S)을 선택하여 출력한다. 또한 지연라인 부(34)는 상기 제3제어신호들(EUP\_C, EDN\_C, OUP\_C, ODN\_C)에 응답하여 상기 제1지연셀들과 상기 제2지연셀들 사이의 정 중앙에 위치하는 인접한 두 개의 제3지연셀들, 즉 18번째 및 19번째 지연셀들의 출력신호들(EOUT\_C, OOUT\_C)을 선택하여 출력한다. 이와 같은 과정에 의하여 지연라인 부(34)에서 코오스 락(Coarse lock) 구간에서의 지연이 조절된다.

<48> 선택회로(34A)는 상기 제1제어신호들 중 상승에지에 대한 제어신호들(EUP\_F, EDN\_F, OUP\_F, ODN\_F)에 응답하여 선택신호들(SEL1\_F 내지 SELn\_F)를 발생하고 상기 제1제어신호들 중 하강에지에 대한 제어신호들(EUP\_S, EDN\_S, OUP\_S, ODN\_S)에 응답하여 선택신호들(SEL1\_S 내지 SELn\_S)를 발생하고 제3제어신호들(EUP\_C, EDN\_C, OUP\_C, ODN\_C)에 응답하여 선택신호들(SEL1\_C 내지 SELn\_C)을 발생한다.

<49> 선택신호들(SEL1\_F 내지 SELn\_F)는 외부클럭 신호(ECLK)의 상승에지와 피드백 내부클럭 신호(/DLCLK\_F\_R)의 상승에지 사이의 위상차를 줄이기 위해 지연체인(34B) 내의 상기 두 개의 제1지연셀들의 출력신호들(EOUT\_F, OOUT\_F)을 선택하는 신호이다. 선택신호들(SEL1\_S 내지 SELn\_S)은 외부클럭 신호(ECLK)의 하강에지와 피드백 내부클럭 신호(DLCLK\_S\_R) 사이의 위상차를 줄이기 위해 지연체인(34B) 내의 상기 두 개의 제2지연셀들의 출력신호들(EOUT\_S, OOUT\_S)을 선택하는 신호이다. 선택신호들(SEL1\_C 내지 SELn\_C)은 듀티싸이클을 50%로 맞추기 위해 지연체인(34B) 내의 상기 두 개의 제3지연셀들의 출력신호들(EOUT\_C, OOUT\_C)을 선택하는 신호이다.

<50> 다음에 파인 락(Fine lock) 구간에서 위상과 관련된 미세지연을 조절하기 위해 상기 제1지연셀들의 출력신호들(EOUT\_F, OOUT\_F)은 제1위상 인터폴레이터(35)로 입력되고 상기 제2지연셀들의 출력신호들(EOUT\_S, OOUT\_S)은 제2위상 인터폴레이터(36)로 입력된다.

상기 제3지연셀들의 출력신호들(EOUT\_C, OOUT\_C)은 파인 락(Fine lock) 구간에서 둑티 와 관련된 미세지연을 조절하기 위해 제3위상 인터폴레이터(37)로 입력된다.

<51> 제1위상 인터폴레이터(35)는 웨이트(Weight) 정보신호들, 즉 제1제어회로(32)로부터 입력되는 제2제어신호들(WUP\_F, WDN\_F)에 응답하여 상기 제1지연셀들의 출력신호들 (EOUT\_F, OOUT\_F)을 인터폴레이트하여 제1출력신호(DLCLK\_F\_R) 및 제2출력신호(DLCLK\_F)를 발생한다. 이 제1출력신호(DLCLK\_F\_R)는 인버터(39)를 경유하여 상기 피드백 내부클럭 신호들의 하나로서 보상지연기(38)로 제공되고 제2출력신호(DLCLK\_F)는 메모리장치의 내부클럭 신호들의 하나로 이용된다.

<52> 제2위상 인터폴레이터(36)는 웨이트(Weight) 정보신호들, 즉 제1제어회로(32)로부터 입력되는 제2제어신호들(WUP\_S, WDN\_S)에 응답하여 상기 제2지연셀들의 출력신호들 (EOUT\_S, OOUT\_S)을 인터폴레이트하여 출력신호(DLCLK\_S\_R)를 발생한다. 이 출력신호 (DLCLK\_S\_R)는 상기 피드백 내부클럭 신호들의 다른 하나로서 보상지연기(38)로 제공된다.

<53> 제3위상 인터폴레이터(37)는 웨이트 정보신호들, 즉 제2제어회로(33)로부터 입력되는 제4제어신호들(WUP\_C, WDN\_C)에 응답하여 상기 제3지연셀들의 출력신호들 (EOUT\_C, OOUT\_C)을 인터폴레이트하여 출력신호(DLCLK\_C)를 발생한다. 이 출력신호 (DLCLK\_C)는 메모리장치의 내부클럭 신호들의 다른 하나로 이용된다.

<54> 도 9A 및 도 9B의 타이밍도에 도시된 바와 같이 락킹 후 제1위상 인터폴레이터(35)의 제1출력신호(DLCLK\_F\_R)는 상승에지가 외부클럭 신호(ECLK)의 상승에지에 파인 동기 된다. 제1위상 인터폴레이터(35)의 제2출력신호(DLCLK\_F)는 락킹 후 제1출력신호 (DLCLK\_F\_R)의 상승에지에 응답하여 발생되는 펄스들을 갖는 신호이다.



제2위상 인터폴레이터(36)의 출력신호(DLCLK\_S\_R)는 락킹 후 상승에지가 외부클럭 신호(ECLK)의 하강에지에 파인 동기된다. 제3위상 인터폴레이터(37)의 출력신호(DLCLK\_C)는 락킹 후 듀티가 50%로 보정된 신호의 하강에지에 응답하여 발생되는 펄스들을 갖는 신호이다.

<55> 도 4는 도 3에 도시된 제1제어회로의 상세 블록도이다.

<56> 도 4를 참조하면, 제1제어회로(32)는 상승에지 제어회로(41) 및 하강에지 제어회로(43)를 구비한다.

<57> 상승에지 제어회로(41)는 상승에지에 대한 업신호(UP\_F) 및 상승에지에 대한 다운신호(DN\_F)에 응답하여 상기 제1제어신호들중 상승에지에 대한 제어신호들(EUP\_F, EDN\_F, OUP\_F, ODN\_F) 및 상기 제2제어신호들중 상승에지에 대한 제어신호들(WUP\_F, WDN\_F)를 발생한다. 하강에지 제어회로(43)는 하강에지에 대한 업신호(UP\_S) 및 하강에지에 대한 다운신호(DN\_S)에 응답하여 상기 제1제어신호들중 하강에지에 대한 제어신호들(EUP\_S, EDN\_S, OUP\_S, ODN\_S) 및 상기 제2제어신호들중 하강에지에 대한 제어신호들(WUP\_S, WDN\_S)을 발생한다.

<58> 상승에지 제어회로(41) 및 하강에지 제어회로(43)의 동작은 도 9의 타이밍도를 참조하여 더 후술된다.

<59> 도 5는 도 3에 도시된 제2제어회로의 상세 블록도이다.

<60> 도 5를 참조하면, 제2제어회로(33)는 제1듀티정정 제어회로(51) 및 제2듀티정정 제어회로(53)를 구비한다.

<61> 제1듀티정정 제어회로(51)는 업신호들(UP\_F, UP\_S) 및 다운신호들(DN\_F, DN\_S)에 응답하여 듀티정정을 위한 업신호(UP\_C) 및 듀티정정을 위한 다운신호(DN\_C)를 발생한다. 제2듀티정정 제어회로(53)는 듀티정정을 위한 업신호(UP\_C) 및 듀티정정을 위한 다운신호(DN\_C)에 응답하여 제3제어신호들(EUP\_C, EDN\_C, OUP\_C, ODN\_C) 및 제4제어신호들(WUP\_C, WDN\_C)을 발생한다.

<62> 특히 제1듀티정정 제어회로(51)는, 지연라인 부(34)에서 상기 제1지연셀들과 상기 제2지연셀들 사이의 정 중앙에 위치하는 상기 제3지연셀들의 출력신호들(EOUT\_C, OOUT\_C)이 선택되도록, 상승에지에 대한 업신호(UP\_F) 및 하강에지에 대한 업신호(UP\_S)가 모두 활성화될 때 상기 듀티정정을 위한 업신호(UP\_C)를 활성화시킨다. 또한 제1듀티정정 제어회로(51)는 상승에지에 대한 다운신호(DN\_F) 및 하강에지에 대한 다운신호(DN\_S)가 모두 활성화될 때 상기 듀티정정을 위한 다운신호(DN\_C)를 활성화시킨다.

<63> 도 6은 도 5에 도시된 제1듀티정정 제어회로(51)의 상세 회로도이고 도 7은 도 5에 도시된 제2듀티정정 제어회로(53)의 상세 회로도이다.

<64> 도 6을 참조하면, 제1듀티정정 제어회로(51)는 낸드게이트들(61, 62) 및 인버터들(63, 64)를 구비한다. 도 7을 참조하면, 제2듀티정정 제어회로(53)는 제어회로(71), 낸드 게이트들(72-79, 84, 85), 및 인버터들(80-83)을 구비한다. 제1듀티정정 제어회로(51) 및 제2듀티정정 제어회로(53)의 동작은 도 9의 타이밍도를 참조하여 더 후술된다.

<65> 도 8은 도 3에 도시된 지연라인 부(34)의 상세 블록도이다.

<66> 도 8을 참조하면, 지연라인 부(34)는 선택회로(34A)와 지연체인(34B)을 포함한다.

지연체인(34B)은 직렬로 연결된 다수개의 지연셀들(B1-Bn)을 포함하고 지연셀들을 통해 외부클럭 신호(ECLK)를 지연시킨다.

<67> 선택회로(34A)는 다수개의 선택기들(A1-An)을 포함한다. 상술한 바와 같이 선택회로(34A)는 상기 제1제어신호들중 상승에지에 대한 제어신호들(EUP\_F,EDN\_F,OUP\_F,ODN\_F)에 응답하여 선택신호들(SEL1\_F 내지 SELn\_F)를 발생하고 상기 제1제어신호들중 하강에지에 대한 제어신호들(EUP\_S,EDN\_S,OUP\_S,ODN\_S)에 응답하여 선택신호들(SEL1\_S 내지 SELn\_S)를 발생하고 제3제어신호들(EUP\_C,EDN\_C,OUP\_C,ODN\_C)에 응답하여 선택신호들(SEL1\_C 내지 SELn\_C)을 발생한다.

<68> 선택신호들(SEL1\_F 내지 SELn\_F)은 지연체인(34B) 내의 인접한 두 개의 제1지연셀들의 출력신호들(EOUT\_F,OOUT\_F)을 선택하는 신호이며 두 개씩 활성화된다. 선택신호들(SEL1\_S 내지 SELn\_S)은 지연체인(34B) 내의 인접한 두 개의 제2지연셀들의 출력신호들(EOUT\_S,OOUT\_S)을 선택하는 신호이며 두 개씩 활성화된다. 선택신호들(SEL1\_C 내지 SELn\_C)은 지연체인(34B) 내의 인접한 두 개의 제3지연셀들의 출력신호들(EOUT\_C,OOUT\_C)을 선택하는 신호이며 두 개씩 활성화된다.

<69> 따라서 상기 제1제어신호들중 상승에지에 대한 제어신호들(EUP\_F,EDN\_F,OUP\_F,ODN\_F)에 응답하여 인접한 두 개의 제1지연셀들, 예컨대 21번째 및 22번째 지연셀들(B21,B22)에 해당하는 두 개의 선택신호들(SEL21\_F, SEL22\_F)이 활성화되고 이에 따라 지연셀들(B21,B22)의 출력신호들(EOUT\_F,OOUT\_F)이 선택되어 출력된다. 또한 상기 제1제어신호들중 하강에지에 대한 제어신호들(EUP\_S,EDN\_S,OUP\_S,ODN\_S)에 응답하여 인접한 두 개의 제2지연셀들, 예컨대 15번째 및 16번째 지연셀들(B15,B16)에 해

당하는 두 개의 선택신호들(SEL15\_S, SEL16\_S)이 활성화되고 이에 따라 지연셀들(B15, B16)의 출력신호들(EOUT\_S, OOUT\_S)이 선택되어 출력된다.

<70> 또한 상기 제3제어신호들(EUP\_C, EDN\_C, OUP\_C, ODN\_C)에 응답하여 상기 제1지연셀들과 상기 제2지연셀들 사이의 정 중앙에 위치하는 인접한 두 개의 제3지연셀들, 즉 18번 째 및 19번 째 지연셀들(B18, B19)에 해당하는 두 개의 선택신호들(SEL18\_C, SEL19\_C)이 활성화되고 이에 따라 지연셀들(B18, B19)의 출력신호들(EOUT\_C, OOUT\_C)이 선택되어 출력된다.

<71> 도 9A 및 도 9B는 도 3에 도시된 본 발명에 따른 DCC 기능을 갖는 DLL의 동작 타이밍도이다. 도 9A 및 도 9B의 타이밍도를 참조하여 본 발명에 따른 DDL의 동작 및 듀티싸이클 보정방법이 좀더 설명된다.

<72> 먼저 듀티싸이클이 50%가 아닌 외부클럭 신호(ECLK)가 DLL로 입력되면, 락킹 천에는 피드백 내부클럭 신호들, 즉 제1위상 인터폴레이터(35)의 출력신호(DLCLK\_F\_R)의 반전신호(/DLCLK\_F\_R) 및 제2위상 인터폴레이터(36)의 출력신호(DLCLK\_S\_R)가 보상지연기(38)로 입력되어 소정의 시간만큼 보상지연되어 출력된다. 다음에 위상검출기(31)에 의해 외부클럭 신호(ECLK) 및 보상 지연기(38)의 출력신호 사이의 위상차가 검출되어 이에 대응하는 업신호들(UP\_F, UP\_S) 및 다운신호들(DN\_F, DN\_S)이 발생된다.

<73> 다음에 제1제어회로(32)에서 업신호들(UP\_F, UP\_S) 및 다운신호들(DN\_F, DN\_S)에 응답하여 외부클럭 신호(ECLK) 및 피드백 내부클럭 신호들, 즉 신호들(/DLCLK\_F\_R, DLCLK\_S\_R) 사이의 위상차를 코오스 락킹하기 위한 제1제어신호들(EUP\_F, OUP\_F, EDN\_F, ODN\_F, EUP\_S, OUP\_S, EDN\_S, ODN\_S) 및 파인 락킹하기 위한 제2제어신호들(WUP\_F, WDN\_F, WUP\_S, WDN\_S)이 발생된다.

<74> 타이밍도에 도시된 바와 같이 EUP\_F 신호 및 OUP\_F 신호는 각각 UP\_F 신호의 짹수(even) 번째 싸이클 및 홀수(odd) 번째 싸이클에 대응하여 발생된다. EDN\_F 신호 및 ODN\_F 신호는 각각 DN\_F 신호의 짹수 번째 싸이클 및 홀수 번째 싸이클에 대응하여 발생된다. EUP\_S 신호 및 OUP\_S 신호는 각각 UP\_S 신호의 짹수 번째 싸이클 및 홀수 번째 싸이클에 대응하여 발생된다. EDN\_S 신호 및 ODN\_S 신호는 각각 DN\_S 신호의 짹수 번째 싸이클 및 홀수 번째 싸이클에 대응하여 발생된다.

<75> 또한 제2제어회로(33)에서 업신호들(UP\_F, UP\_S) 및 다운신호들(DN\_F, DN\_S)에 응답하여 듀티정정을 위한 업신호(UP\_C) 및 듀티정정을 위한 다운신호(DN\_C)가 발생된다. 이 때 듀티정정을 위한 업신호(UP\_C)는 상승에지에 대한 업신호(UP\_F) 및 하강에지에 대한 업신호(UP\_S)가 모두 논리"하이"로 활성화될 때 논리"하이"로 활성화된다. 마찬가지로 듀티정정을 위한 다운신호(DN\_C)는 상승에지에 대한 다운신호(DN\_F) 및 하강에지에 대한 다운신호(DN\_S)가 모두 논리"하이"로 활성화될 때 논리"하이"로 활성화된다. 도 9의 타이밍도에서는 상승에지에 대한 업신호(UP\_F) 및 하강에지에 대한 업신호(UP\_S)가 활성화되고 상승에지에 대한 다운신호(DN\_F) 및 하강에지에 대한 다운신호(DN\_S)는 활성화되지 않는 경우가 도시되어 있다.

<76> 다음에 제2제어회로(33)에서 이 듀티정정을 위한 업신호(UP\_C) 및 듀티정정을 위한 다운신호(DN\_C)에 응답하여 외부클럭 신호(ECLK)의 코오스 듀티에러를 정정하기 위한 제3제어신호들(EUP\_C, EDN\_C, OUP\_C, ODN\_C) 및 파인 듀티에러를 정정하기 위한 제4제어신호들(WUP\_C, WDN\_C)이 발생된다.

<77> EUP\_C 신호 및 OUP\_C 신호는 각각 UP\_C 신호의 짹수 번째 싸이클 및 홀수 번째 싸이클에 대응하여 발생된다. EDN\_C 신호 및 ODN\_C 신호는 각각 DN\_C 신호의 짹수 번째 싸이클 및 홀수 번째 싸이클에 대응하여 발생된다.

<78> 다음에 자연라인 부(34)에서 상기 제1제어신호들중 상승에지에 대한 제어신호들 (EUP\_F, EDN\_F, OUP\_F, ODN\_F)에 응답하여 인접한 두 개의 제1지연셀들, 예컨대 21번째 및 22번째 자연셀들에 해당하는 두 개의 선택신호들(SEL21\_F, SEL22\_F)이 논리"하이"로 활성화된다. 이에 따라 21번째 및 22번째 자연셀들의 출력신호들이 선택되어 출력신호들 (EOUT\_F, OOUT\_F)로서 출력된다.

<79> 또한 자연라인 부(34)에서 상기 제1제어신호들중 하강에지에 대한 제어신호들 (EUP\_S, EDN\_S, OUP\_S, ODN\_S)에 응답하여 인접한 두 개의 제2지연셀들, 예컨대 15번째 및 16번째 자연셀들에 해당하는 두 개의 선택신호들(SEL15\_S, SEL16\_S)이 논리"하이"로 활성화된다. 이에 따라 15번째 및 16번째 자연셀들의 출력신호들이 선택되어 출력신호들 (EOUT\_S, OOUT\_S)로서 출력된다.

<80> 또한 자연라인 부(34)에서 상기 제3제어신호들(EUP\_C, EDN\_C, OUP\_C, ODN\_C)에 응답하여 상기 제1지연셀들과 상기 제2지연셀들 사이의 정 중앙에 위치하는 인접한 두 개의 제3지연셀들, 즉 18번째 및 19번째 자연셀들에 해당하는 두 개의 선택신호들(SEL18\_C, SEL19\_C)이 활성화된다. 이에 따라 18번째 및 19번째 자연셀들의 출력신호들이 선택되어 출력신호들(EOUT\_C, OOUT\_C)로서 출력된다. 최종적으로 출력신호들(EOUT\_F, OOUT\_F), 출력신호들(EOUT\_S, OOUT\_S), 및 출력신호들(EOUT\_C, OOUT\_C)은 외부클럭 신호(ECLK)에 대하여 코오스 락된다.

<81> 다음에 제1위상 인터폴레이터(35)에서 상기 제2제어신호들(WUP\_F, WDN\_F)에 응답하여 출력신호들(EOUT\_F, OOUT\_F)이 인터폴레이트되어 상승에지가 외부클럭 신호(ECLK)의 상승에지에 파인 동기되는 신호(DLCLK\_F\_R)가 발생되고 또한 신호(DLCLK\_F\_R)의 상승에지에 응답하여 발생되는 펄스들을 갖는 제1내부클럭 신호(DLCLK\_F)가 발생된다. 신호(DLCLK\_F\_R)는 피드백 내부클럭 신호의 하나로서 보상지연기(38)로 제공되고 제1내부클럭 신호(DLCLK\_F)는 메모리장치 내의 내부클럭 신호들중 하나로서 이용된다.

<82> 제2위상 인터폴레이터(36)에서는 상기 제2제어신호들(WUP\_S, WDN\_S)에 응답하여 출력신호들(EOUT\_S, OOUT\_S)이 인터폴레이트되어 상승에지가 외부클럭 신호(ECLK)의 하강에지에 파인 동기되는 신호(DLCLK\_S\_R)가 발생된다. 이 신호(DLCLK\_S\_R)는 피드백 내부클럭 신호의 다른 하나로서 보상지연기(38)로 제공된다.

<83> 또한 제3위상 인터폴레이터(37)에서는 상기 제4제어신호들(WUP\_C, WDN\_C)에 응답하여 출력신호들(EOUT\_C, OOUT\_C)이 인터폴레이트되어 상승에지가 신호(DLCLK\_S\_R)의 상승에지와 신호(DLCLK\_F\_R)의 하강에지 사이의 중간에서 인에이블되는 제2내부클럭 신호(DLCLK\_C)가 발생된다. 그 결과 제2내부클럭 신호(DLCLK\_C)의 상승에지는 블리티가 50%인 이상적인 외부클럭 신호(ECLK')의 하강에지에 동기된다. 제2내부클럭 신호(DLCLK\_C)는 메모리장치 내의 내부클럭 신호들중 다른 하나로서 이용된다.

<84> 이상에서와 같이 본 발명에 따른 DLL에서는, 블리티싸이클이 50%가 아닌 외부클럭 신호(ECLK)가 입력되더라도 최종적으로는 상승에지가 외부클럭 신호(ECLK)의 상승에지에 동기되는 제1내부클럭 신호(DLCLK\_F)와 상승에지가 이상적인 외부클럭 신호(ECLK')의 하강에지에 동기되는 제2내부클럭 신호(DLCLK\_C)가 발생됨으로써 블리티싸이클이 50%로 보정된다.

<85> 한편 듀티싸이클이 50%인 이상적인 외부클럭 신호(ECLK')가 입력되는 경우에는, 자연라인 부(34)에서 인접한 두 개의 지연셀들만이 선택되고 선택된 지연셀들로부터 출력신호들(EOUT\_F,OOUT\_F), 출력신호들(EOUT\_S,OOUT\_S), 및 출력신호들(EOUT\_C,OOUT\_C)이 모두 출력된다. 그 결과 피드백되는 신호(DLCLK\_F\_R)의 상승에지는 이상적인 외부클럭 신호(ECLK')의 상승에지에 동기되고 피드백되는 신호(DLCLK\_S\_R)의 상승에지는 이상적인 외부클럭 신호(ECLK')의 하강에지에 동기된다. 따라서 최종적으로는 제1내부클럭 신호(DLCLK\_F)의 상승에지는 외부클럭 신호(ECLK')의 상승에지에 동기되고 제2내부클럭 신호(DLCLK\_C)의 상승에지는 외부클럭 신호(ECLK')의 하강에지에 동기된다.

<86> 이상 도면과 명세서에서 최적 실시예가 개시되었다. 여기서 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

### 【발명의 효과】

<87> 상술한 바와 같이 본 발명에 따른 DLL은 위상합성기를 구비하지 않고 DLL 내부에서 자체적으로 듀티싸이클을 보정한다. 본 발명에 따른 DLL은 위상합성기를 구비하지 않으므로 넓은 DCC 범위를 가지며 전력소모가 적고 동작주파수에 대한 제약이 적으며 또한 메모리장치의 특성을 향상시킬 수 있는 장점이 있다.

**【특허청구범위】****【청구항 1】**

외부클럭 신호 및 피드백 내부클럭 신호들 사이의 위상차를 검출하여 이에 대응하는 업신호들 및 다운신호들을 발생하는 위상검출기;  
상기 업신호들 및 다운신호들에 응답하여 상기 외부클럭 신호 및 상기 피드백 내부클럭 신호들 사이의 위상차를 코오스 락킹하기 위한 제1제어신호들 및 상기 위상차를 파인 락킹하기 위한 제2제어신호들을 발생하는 제1제어회로;  
상기 업신호들 및 다운신호들에 응답하여 상기 외부클럭 신호의 코오스 듀티에러를 정정하기 위한 제3제어신호들 및 파인 듀티에러를 정정하기 위한 제4제어신호들을 발생하는 제2제어회로; 및

직렬로 연결된 다수개의 지연셀들을 포함하고 상기 지연셀들을 통해 상기 외부클럭 신호를 지연시키며, 상기 제1제어신호들중 일부에 응답하여 제1지연셀들의 출력신호들을 선택하여 출력하고 상기 제1제어신호들중 다른 일부에 응답하여 제2지연셀들의 출력신호들을 선택하여 출력하고 또한 상기 제3제어신호들에 응답하여 제3지연셀들의 출력신호들을 선택하여 출력하는 지연라인 부를 구비하는 것을 특징으로 하는 듀티싸이클 보정 기능을 갖는 지연동기루프 회로.

**【청구항 2】**

제1항에 있어서,

상기 제2제어신호들의 일부에 응답하여 상기 제1지연셀들의 출력신호들을 인터폴레이트하여 제1출력신호 및 제2출력신호를 발생하고, 이 제1출력신호를 상기 피드백 내

부클럭 신호들의 하나로서 상기 위상검출기로 제공하고 이 제2출력신호를 제1내부클럭 신호로서 출력하는 제1위상 인터폴레이터;

상기 제2제어신호의 다른 일부에 응답하여 상기 제2지연셀들의 출력신호들을 인터폴레이트하여 출력신호를 발생하고 이 출력신호를 상기 피드백 내부클럭 신호들의 다른 하나로서 상기 위상검출기로 제공하는 제2위상 인터폴레이터; 및

상기 제4제어신호들에 응답하여 상기 제3지연셀들의 출력신호들을 인터폴레이트하여 출력신호를 발생하고 이 출력신호를 제2내부클럭 신호로서 출력하는 제3위상 인터폴레이터를 더 구비하는 것을 특징으로 하는 듀티싸이클 보정기능을 갖는 치연동기루프 회로.

#### 【청구항 3】

제2항에 있어서,

상기 제1위상 인터폴레이터의 상기 제1출력신호 및 상기 제2위상 인터폴레이터의 상기 출력신호를 수신하여 소정의 시간만큼 보상지연시켜 상기 위상검출기로 출력하는 보상지연기를 더 구비하는 것을 특징으로 하는 듀티싸이클 보정기능을 갖는 지연동기루프 회로.

#### 【청구항 4】

제1항에 있어서, 상기 제1제어신호들중 일부는 상승에지에 대한 것들이고 상기 제1제어신호들중 다른 일부는 하강에지에 대한 것들인 것을 특징으로 하는 듀티싸이클 보정기능을 갖는 지연동기루프 회로.

**【청구항 5】**

제1항에 있어서, 상기 제2제어신호들중 일부는 상승에지에 대한 것들이고 상기 제2제어신호들중 다른 일부는 하강에지에 대한 것들인 것을 특징으로 하는 듀티싸이를 보정 기능을 갖는 지연동기루프 회로.

**【청구항 6】**

제1항에 있어서, 상기 제1제어회로는,

상기 업신호들중 상승에지에 대한 업신호 및 상기 다운신호들중 상승에지에 대한 다운신호에 응답하여 상기 제1제어신호들중 상승에지에 대한 제어신호들 및 상기 제2제어신호들중 상승에지에 대한 제어신호들을 발생하는 상승에지 제어회로; 및 상기 업신호들중 하강에지에 대한 업신호 및 상기 다운신호들중 하강에지에 대한 다운신호에 응답하여 상기 제1제어신호들중 하강에지에 대한 제어신호들 및 상기 제2제어신호들중 하강에지에 대한 제어신호들을 발생하는 하강에지 제어회로를 구비하는 것을 특징으로 하는 듀티싸이를 보정기능을 갖는 지연동기루프 회로.

**【청구항 7】**

제1항에 있어서, 상기 제2제어회로는,

상기 업신호들 및 상기 다운신호들에 응답하여 듀티정정을 위한 업신호 및 듀티정정을 위한 다운신호를 발생하는 제1듀티정정 제어회로; 및 상기 듀티정정을 위한 업신호 및 상기 듀티정정을 위한 다운신호에 응답하여 상기 제3제어신호들 및 상기 제4제어신호들을 발생하는 제2듀티정정 제어회로를 구비하는 것을 특징으로 하는 듀티싸이를 보정기능을 갖는 지연동기루프 회로.

**【청구항 8】**

제7항에 있어서, 상기 듀티정정을 위한 업신호는 상기 업신호들중 상승에지에 대한 업신호 및 하강에지에 대한 업신호가 모두 활성화될 때 활성화되는 것을 특징으로 하는 듀티싸이클 보정기능을 갖는 자연동기루프 회로.

**【청구항 9】**

제7항에 있어서, 상기 듀티정정을 위한 다운신호는 상기 다운신호들중 상승에지에 대한 다운신호 및 하강에지에 대한 다운신호가 모두 활성화될 때 활성화되는 것을 특징으로 하는 듀티싸이클 보정기능을 갖는 자연동기루프 회로.

**【청구항 10】**

제1항에 있어서, 상기 제3지연셀들은 상기 제1지연셀들과 상기 제2지연셀들 사이의 정 중앙에 위치하는 것을 특징으로 하는 듀티싸이클 보정기능을 갖는 자연동기루프 회로.

**【청구항 11】**

제2항에 있어서, 락킹 후 상기 제1위상 인터폴레이터의 상기 제1출력신호는 상승에지가 상기 외부클럭 신호의 상승에지에 파인 동기되는 것을 특징으로 하는 듀티싸이클 보정기능을 갖는 자연동기루프 회로.

**【청구항 12】**

제2항에 있어서, 상기 제1위상 인터폴레이터의 상기 제2출력신호는 락킹 후 상기 제1위상 인터폴레이터의 상기 제1출력신호의 상승에지에 응답하여 발생되는 펄스들을 갖는 신호인 것을 특징으로 하는 듀티싸이클 보정기능을 갖는 자연동기루프 회로.

## 【청구항 13】

제2항에 있어서, 락킹 후 상기 제2위상 인터폴레이터의 상기 출력신호는 상승에지가 상기 외부클럭 신호의 하강에지에 파인 동기되는 것을 특징으로 하는 듀티싸이클 보정기능을 갖는 자연동기루프 회로.

## 【청구항 14】

제2항에 있어서, 상기 제3위상 인터폴레이터의 상기 출력신호는 락킹 후 듀티가 보정된 신호의 하강에지에 응답하여 발생되는 펄스들을 갖는 신호인 것을 특징으로 하는 듀티싸이클 보정기능을 갖는 자연동기루프 회로.

## 【청구항 15】

직렬로 연결된 다수개의 자연셀들을 포함하는 자연라인을 구비하는 자연동기루프 회로의 듀티싸이클 보정방법에 있어서,

- (a) 외부클럭 신호 및 피드백 내부클럭 신호들 사이의 위상차를 검출하여 이에 대응하는 업신호들 및 다운신호들을 발생하는 단계;
- (b) 상기 업신호들 및 다운신호들에 응답하여 상기 외부클럭 신호 및 상기 피드백 내부클럭 신호들 사이의 위상차를 코오스 락킹하기 위한 제1제어신호들 및 상기 위상차를 파인 락킹하기 위한 제2제어신호들을 발생하는 단계;
- (c) 상기 업신호들 및 다운신호들에 응답하여 상기 외부클럭 신호의 코오스 듀티에러를 정정하기 위한 제3제어신호들 및 파인 듀티에러를 정정하기 위한 제4제어신호들을 발생하는 단계;

(d) 상기 제1제어신호들중 상승에지에 대한 것들에 응답하여 제1지연셀들의 출력 신호들을 선택하여 출력하고 상기 제1제어신호들중 하강에지에 대한 것들에 응답하여 제2지연셀들의 출력신호들을 선택하여 출력하고 또한 상기 제3제어신호들에 응답하여 상기 제1지연셀들과 상기 제2지연셀들 사이의 정 중앙에 위치하는 제3지연셀들의 출력신호들을 선택하여 출력하는 단계;

(e) 상기 제2제어신호들중 상승에지에 대한 것들에 응답하여 상기 제1지연셀들의 출력신호들을 인터폴레이트하여 제1출력신호 및 제2출력신호를 발생하고, 이 제1출력신호를 상기 피드백 내부클럭 신호들의 하나로서 제공하고 이 제2출력신호를 제1내부클럭 신호로서 출력하는 단계;

(f) 상기 제2제어신호들의 하강에지에 대한 것들에 응답하여 상기 제2지연셀들의 출력신호들을 인터폴레이트하여 출력신호를 발생하고 이 출력신호를 상기 피드백 내부클럭 신호들의 다른 하나로서 제공하는 단계; 및

(g) 상기 제4제어신호들에 응답하여 상기 제3지연셀들의 출력신호들을 인터폴레이트하여 출력신호를 발생하고 이 출력신호를 제2내부클럭 신호로서 출력하는 단계를 구비하는 것을 특징으로 하는 듀티싸이클 보정방법.

### 【청구항 16】

제14항에 있어서, 상기 (c) 단계는,

(c1) 상기 업신호들 및 상기 다운신호들에 응답하여 듀티정정을 위한 업신호 및 듀티정정을 위한 다운신호를 발생하는 단계; 및

(c2) 상기 듀티정정을 위한 업신호 및 상기 듀티정정을 위한 다운신호에 응답하여 상기 제3제어신호들 및 상기 제4제어신호들을 발생하는 단계를 구비하는 것을 특징으로 하는 듀티싸이클 보정방법.

#### 【청구항 17】

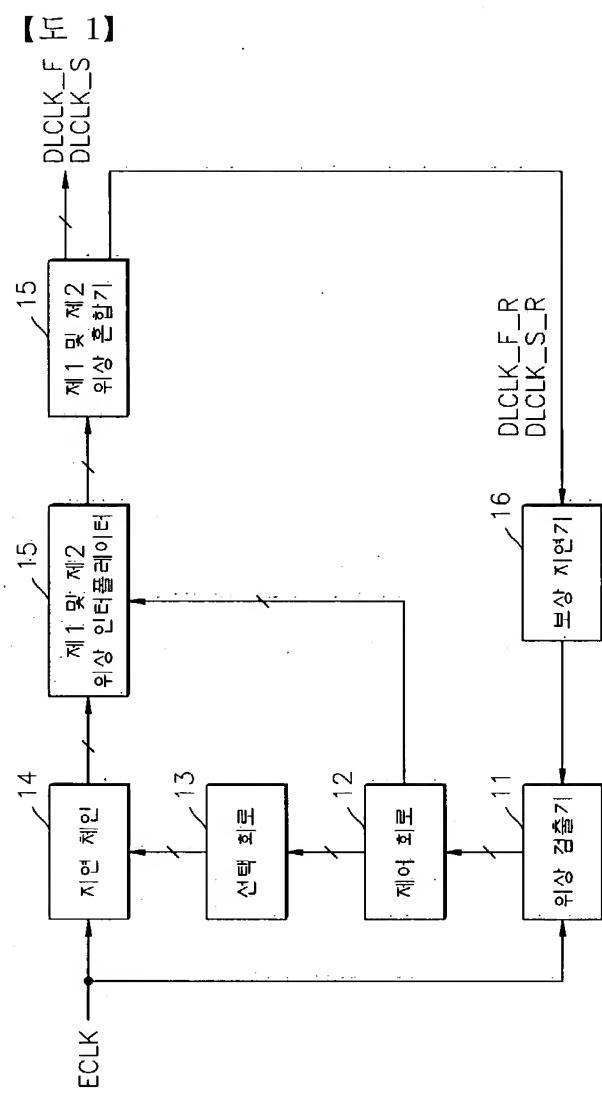
제15항에 있어서, 상기 듀티정정을 위한 업신호는 상기 업신호들중 상승에지에 대한 업신호 및 하강에지에 대한 업신호가 모두 활성화될 때 활성화되는 것을 특징으로 하는 듀티싸이클 보정방법.

#### 【청구항 18】

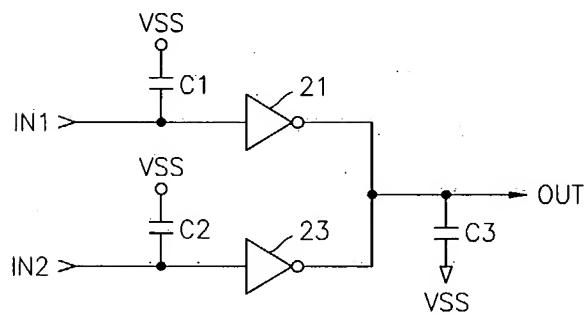
제15항에 있어서, 상기 듀티정정을 위한 다운신호는 상기 다운신호들중 상승에지에 대한 다운신호 및 하강에지에 대한 다운신호가 모두 활성화될 때 활성화되는 것을 특징으로 하는 듀티싸이클 보정방법.

## 【도면】

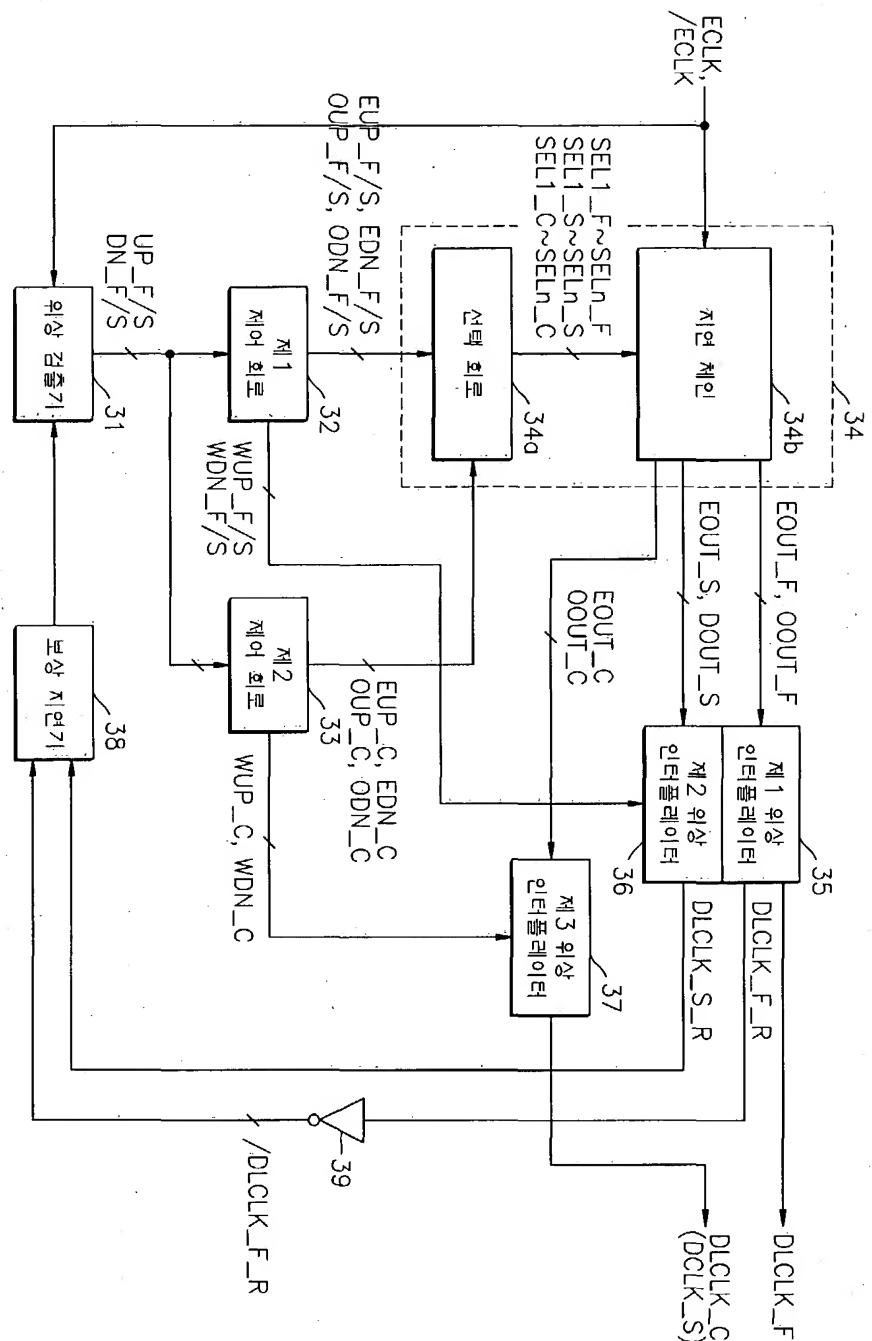
【도면 1】



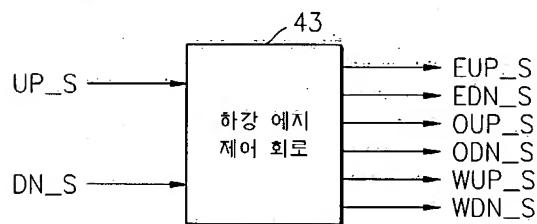
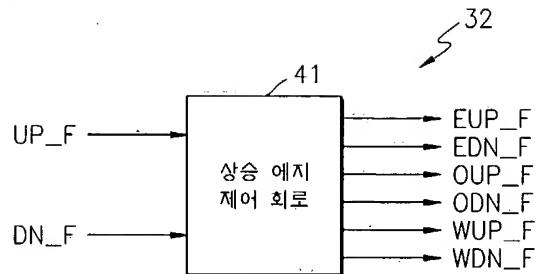
【도면 2】



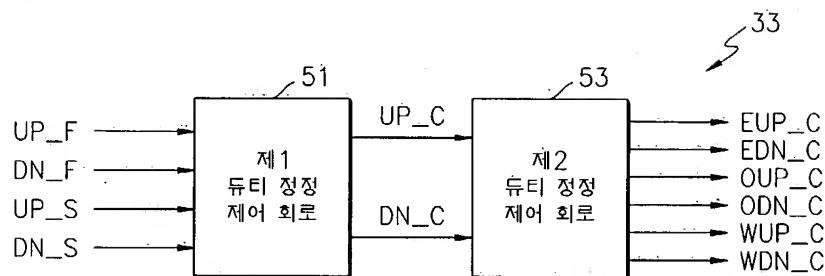
### 【도 3】



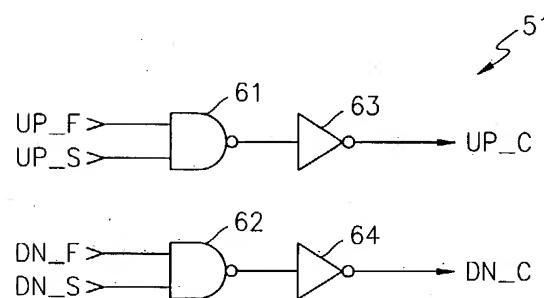
【도 4】



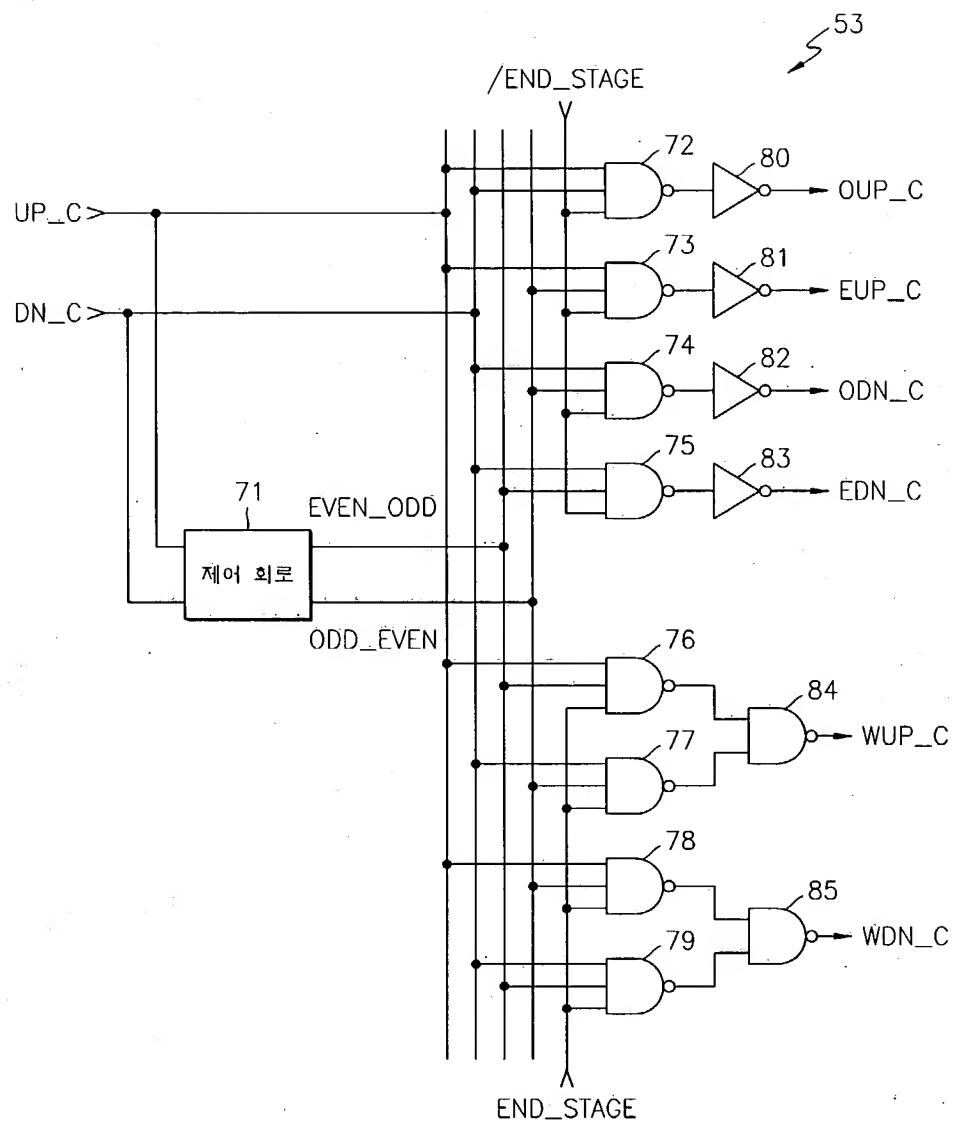
【도 5】



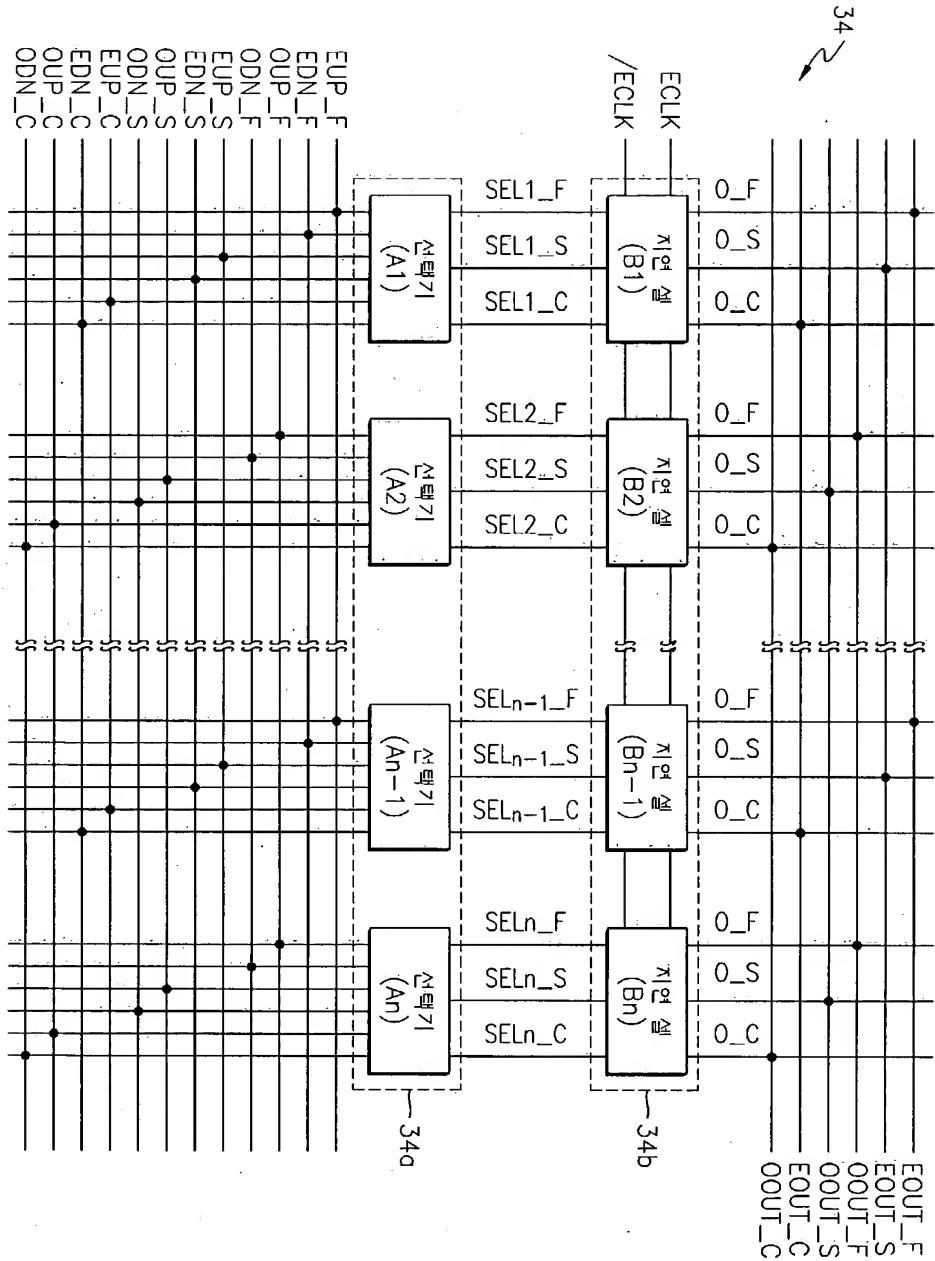
【도 6】



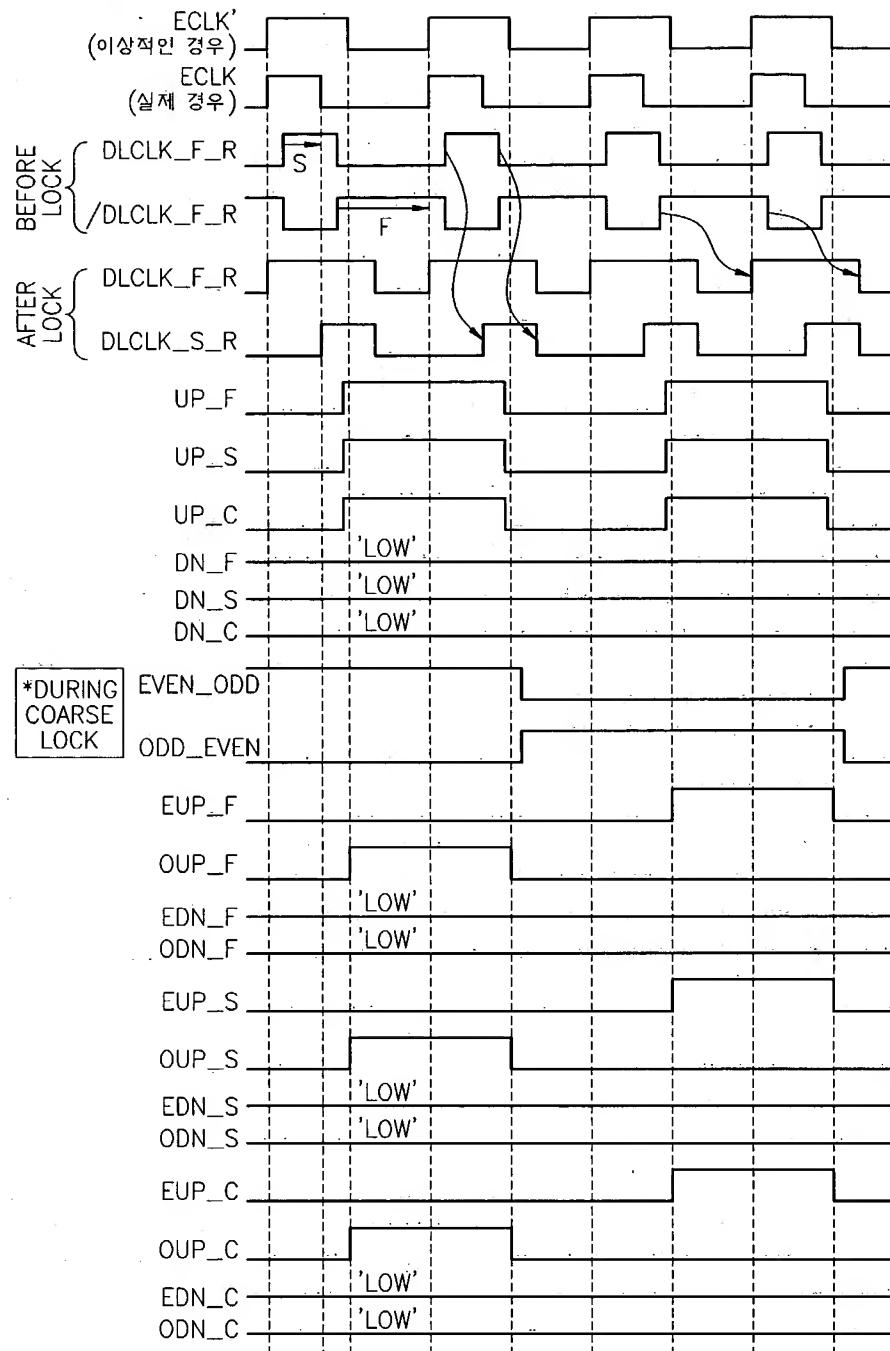
【도 7】



【도 8】



【도 9a】



【도 9b】

